



Home



Search



List

☐ Include

## MicroPatent® PatSearch FullText: Record 1 of 1

Search scope: US EP WO JP; Full patent spec.

Years: 1971-2001

Text: Patent/Publication No.: JP0439281

[no drawing available]

[Download This Patent](#)[Family Lookup](#)[Citation Indicators](#)**NEW!**Special Rates  
For Citation  
Indicators[Go to first matching text](#)

JP0439281

IC TEST DEVICE  
ADVANTEST CORP

Inventor(s): NISHIURA JUNJI

Application No. 03110483 JP03110483 JP, Filed 19910515,

**Abstract:** PURPOSE: To simultaneously make possible the test of a plurality of IC elements of input and output pins with the use of a comparatively small-scale hardware.

**CONSTITUTION:** The output sides of a driver 21 are connected to the input and output pins corresponding to IC elements  $12_1-12_n$  to be tested through loads  $22_1-22_n$  and these input and output pins are coupled to the input sides of comparators  $13_1-13_n$  respectively. In a condition in which data IOD given to the driver 21 indicates input, the driver 21 outputs either VH or VL, a third level VT in the intermediate of VH and VL is output in the condition in which the data IOD indicates output. When the output from the input and output pins is normal, VT is selected so that normal current may be allowed to flow in a load 22.

COPYRIGHT: (C)1992, JPO&amp;Japio

Int'l Class: G01R03128;



Home



Search



List

☐ Include

For further information, please contact:  
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(9) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-339281

(43) 公開日 平成4年(1992)11月26日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

6912-2G

G 0 1 R 31/28

M

6912-2G

Y

審査請求 未請求 請求項の数 1 (全 4 頁)

(21) 出願番号

特願平3-110483

(22) 出願日

平成3年(1991)5月15日

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 西浦 淳治

東京都練馬区旭町1丁目32番1号 株式会  
社アドバンテスト内

(74) 代理人 弁理士 草野 卓

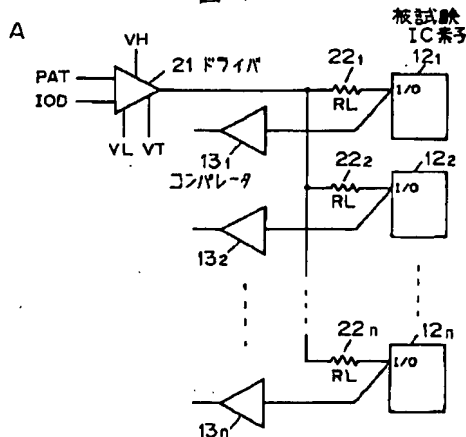
(54) 【発明の名称】 IC試験装置

(57) 【要約】

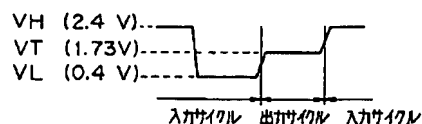
【目的】 比較的小規模のハードウェアで入出力ピンのIC素子を複数同時に試験可能とする。

【構成】 ドライバ21の出力側は負荷22<sub>1</sub>～22<sub>n</sub>をそれぞれ通じて被試験IC素子12<sub>1</sub>～12<sub>n</sub>の対応する入出力ピンに接続され、これら入出力ピンはそれぞれコンパレータ13<sub>1</sub>～13<sub>n</sub>の入力側に接続される。ドライバ21に与えられるデータIODが入力を示す状態ではドライバ21は試験パターンデータに応じた2値レベルVH、VLの何れかを出力し、データIODが出力を示す状態で、VH、VLの中間の第3レベルVTを出力する。VTは入出力ピンからの出力が規定の時、規定の電流が負荷22に流れるように選定される。

図 1



B



## 【特許請求の範囲】

【請求項1】 1つのドライバの出力で複数の被試験IC素子の入出力ピンを駆動し、これら入出力ピンからの各出力を各別のコンパレータに取込んで試験を行うIC試験装置において、試験パターンデータと、入力か出力かを定める入出力決定データとが与えられ、その入出力決定データが入力を示す状態で上記試験パターンデータに応じた2つのレベルの何れかを出力し、上記入出力決定データが出力を示す状態で第3レベルを出力する上記ドライバと、そのドライバの出力側と複数の被試験IC素子の対応する入出力ピンとの間にそれぞれ接続され、これら被試験IC素子に対する負荷と、上記複数の被試験IC素子の上記入出力ピンにそれぞれ接続された複数の上記コンパレータと、を具備することを特徴とするIC試験装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、1つのドライバの出力で複数の被試験IC素子の入出力ピンを駆動し、これら入出力ピンからの各出力を各別のコンパレータに取込んで試験を行うIC試験装置に関する。

## 【0002】

【従来の技術】規模の大きなIC素子を試験する場合、一連の試験に長い時間がかかる。このため効率的に試験を行う点から複数の被試験IC素子を同時に試験することが考えられる。例えばメモリIC素子の入力専用ピンについて1ボード上の128個のメモリIC素子の各1つの入力ピンに1つのドライバで同時に駆動することが考えられる。このようにして試験を行えば一連の試験で128個の素子を同時に試験することができるから、等

効率的に試験時間が128分の1になったことになる。

【0003】しかし入出力ピンをもつIC素子については、例えば図2Aに示すように、1つのドライバ11により複数の被試験IC素子12<sub>1</sub>～12<sub>n</sub>の各対応する入出力ピンに試験パターンデータを入力し、またその入出力ピンに得られた出力を各被試験IC素子12<sub>1</sub>～12<sub>n</sub>ごとにコンパレータ13<sub>1</sub>～13<sub>n</sub>で取込もうとしても、被試験IC素子12<sub>1</sub>～12<sub>n</sub>のその入出力ピンが互いに短絡されているため、各被試験IC素子12<sub>1</sub>～12<sub>n</sub>の各出力を各別に判定することができない。

【0004】このため従来においては被試験IC素子12<sub>1</sub>～12<sub>n</sub>の各素子ごとに各別のドライバとコンパレータとの組みを設け、同一ピンについては同一の試験パターン信号を同時に与えて、これら複数のIC素子12<sub>1</sub>～12<sub>n</sub>を同時に試験していた。あるいは図2Bに示すように複数の被試験IC素子12<sub>1</sub>～12<sub>n</sub>の対応する入出力ピンに共通のドライバ11の出力側と共通のコンパレータ13の入力側とを接続し、被試験IC素子12<sub>1</sub>～12<sub>n</sub>のチップセレクト端子をドライバ14<sub>1</sub>～14<sub>n</sub>で各別に制御し、被試験IC素子12<sub>1</sub>～12<sub>n</sub>の

を1つずつ順次イネーブルにして1個ずつ試験している。

## 【0005】

【発明が解決しようとする課題】各被試験IC素子の1つの入出力ピンに各別のドライバ及びコンパレータの組を接続する場合は、同時に試験する被試験IC素子の数を例えば128個とすれば、1個ずつの試験と比較して試験時間は128分の1に短縮されるが、被試験IC素子が4M×4のメモリの場合、512個のドライバが必要となり、ハードウェア規模が著しく大きくなる問題があった。一方図2Bに示す構成では試験時間の短縮にはならない。

## 【0006】

【課題を解決するための手段】この発明によれば1つのドライバの出力側が複数の被試験IC素子の対応する入出力ピンにそれぞれ各別の負荷を通じて接続される。そのドライバには試験パターンデータと、入力か出力かを定める入出力決定データとが入力され、被試験IC素子に対する入力時、つまり入出力決定データが入力を示す状態で、試験パターンデータに応じた2つのレベルの何れかを出力し、被試験IC素子から出力される時、つまり入出力決定データが出力を示す状態で前記2つのレベルの中間の第3レベルを出力する。上記負荷は被試験IC素子に対し負荷として作用するものである。また被試験IC素子のその入出力ピンには各別のコンパレータの入力側が接続され、各出力を各別に取込むことができるようにされる。

## 【0007】

【実施例】図1Aにこの発明の実施例の要部を示す。ドライバ21の出力側が、この発明では負荷22<sub>1</sub>～22<sub>n</sub>をそれぞれ通じて複数の被試験IC素子12<sub>1</sub>～12<sub>n</sub>の対応する入出力ピンに接続される。これら被試験IC素子12<sub>1</sub>～12<sub>n</sub>の入出力ピンはそれぞれ各別のコンパレータ13<sub>1</sub>～13<sub>n</sub>の入力側に接続される。

【0008】ドライバ21は3値ドライバであって、電源電圧として高レベル電圧V<sub>H</sub>と、低レベル電圧V<sub>L</sub>と、第3レベルV<sub>T</sub>とが与えられている。またこのドライバ21の入力として試験パターンデータPATの他に、入力か出力かを定める入出力決定データIODが入力される。入出力決定データIODが入力を示す状態ではドライバ21は試験パターンデータPATが“1”で高レベルV<sub>H</sub>を出力し、データPATが“0”で低レベルV<sub>L</sub>を出力する。入出力決定データIODが出力を示す状態ではドライバ21は第3レベルV<sub>T</sub>を出力する。負荷22<sub>1</sub>～22<sub>n</sub>は被試験IC素子12<sub>1</sub>～12<sub>n</sub>の各負荷として作用するものである。

【0009】被試験IC素子12の出力電圧、出力電流が決まると、負荷22の抵抗値と第3レベル電圧V<sub>T</sub>とが決まる。つまり被試験IC素子12の高レベル電流I<sub>H</sub>と低レベル電流I<sub>L</sub>の規格から第3レベルV<sub>T</sub>と、負

3

4

荷22の抵抗値 $R_L$ とが決められる。例えば $V_H=2.4V$ 、 $I_H=-5mA$ 、 $V_L=0.4V$ 、 $I_L=4.2mA$ とすると、出力が高レベル $V_H$ で $I_H$ が流れる条件 $V_T=2.4V-R_L \times 5mA$ と、出力が低レベル $V_L$ で $I_L$ が流れる条件 $V_T=0.4V+R_L \times 4.2mA$ とから $V_T=1.315V$ 、 $R_L=217\Omega$ となる。このドライバ21の出力の状態の例を図1Bに示す。

【0010】この構成によれば、被試験IC素子12<sub>1</sub>～12<sub>n</sub>に対し、共通のドライバ21により試験パターンデータを入力することができ、その入出力ピンからの出力の取込み時には、ドライバ21の出力が第3レベル $V_T$ となり、被試験IC素子12<sub>1</sub>～12<sub>n</sub>の入出力ピンが負荷22<sub>1</sub>～22<sub>n</sub>をそれぞれ通じて第3レベル $V_T$ 電位点となり、各負荷22<sub>1</sub>～22<sub>n</sub>にそれぞれ、素子12<sub>1</sub>～12<sub>n</sub>に規定された電流が流れる構成となるため、IC素子12<sub>1</sub>～12<sub>n</sub>のこの入出力ピンのレベルをそれぞれコンパレータ13<sub>1</sub>～13<sub>n</sub>で各別に取込んで試験することができる。

【0011】

【発明の効果】以上述べたようにこの発明によればドラ

イバから各別の負荷を通じて複数の被試験IC素子の入出力ピンに試験パターンデータを同時に印加し、その入出力ピンからの出力を取込む際はドライバ21の出力が第3レベル $V_T$ となり、IC素子の出力に応じて各負荷22に規定の電流が流れるようになり、被試験IC素子12<sub>1</sub>～12<sub>n</sub>の出力を各別に取込むことができる。このため各被試験IC素子ごとに各別にドライバを設ける必要がなく、例えば128個の被試験IC素子の1つの入出力ピンに対し、1つのドライバで共通に駆動でき、ハードウェアの規模をそれ程大きくすることなく、複数のIC素子を同時に試験することができ、1個ずつ試験する場合と比較して試験時間を短縮することができる。

【図面の簡単な説明】

【図1】Aはこの発明の実施例の要部を示すブロック図、Bはドライバ21の出力状態の例を示す図である。

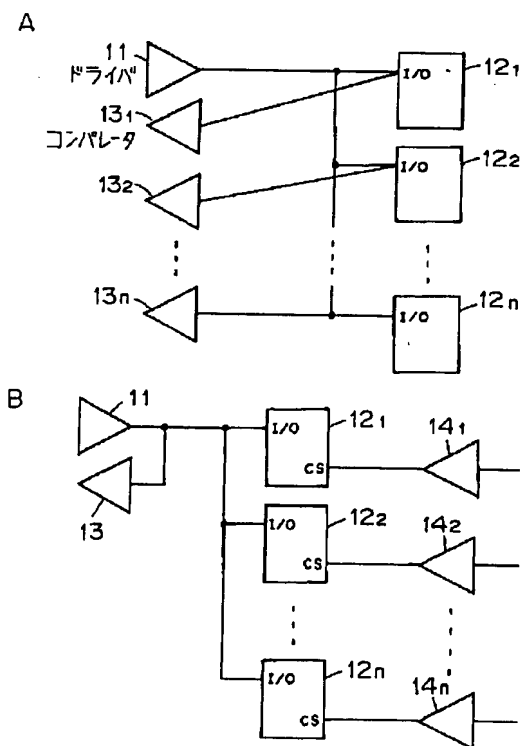
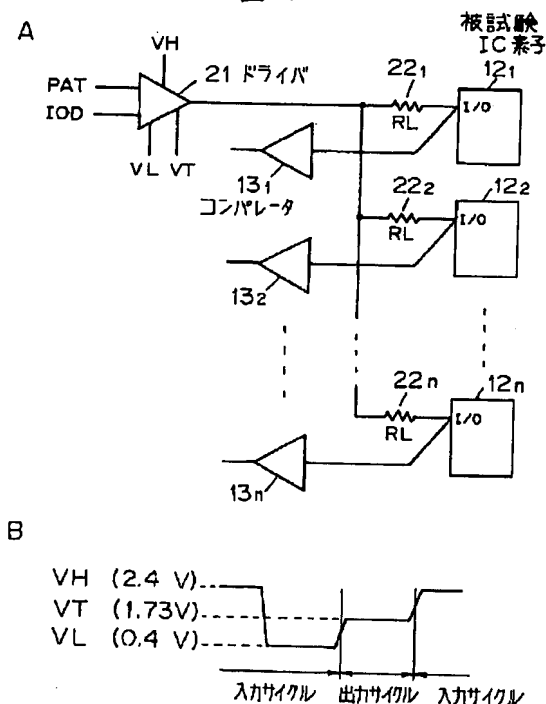
【図2】Aは入出力ピンをもつ被試験IC素子を複数同時に、直接駆動では同時試験ができないことを示すブロック図、Bはドライバ及びコンパレータを複数の被試験IC素子に共通に使用する従来技術を示すブロック図である。

【図1】

【図2】

図 1

図 2



## 【手続補正書】

【提出日】平成4年6月8日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

## 【補正内容】

【0006】

【課題を解決するための手段】この発明によれば1つのドライバの出力側が複数の被試験IC素子の対応する入出力ピンにそれぞれ各別の負荷を通じて接続される。そ

のドライバには試験パターンデータと、入力か出力かを定める入出力決定データとが入力され、被試験IC素子に対する入力時、つまり入出力決定データが入力を示す状態で、試験パターンデータに応じた2つのレベルの何れかを出力し、被試験IC素子から出力される時、つまり入出力決定データが出力を示す状態で第3レベルを出力する。上記負荷は被試験IC素子に対し負荷として作用するものである。また被試験IC素子のその入出力ピンには各別のコンパレータの入力側が接続され、各出力を各別に取込むことができるようにされる。